

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-031815

(43)Date of publication of application : 02.02.1999

(51)Int.Cl.

H01L 29/78

(21)Application number : 09-186603

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.07.1997

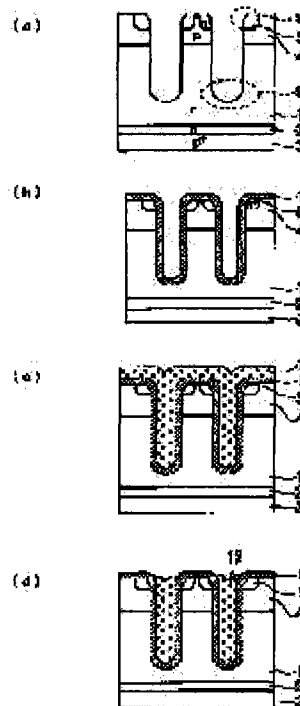
(72)Inventor : NAKAMURA KATSUMITSU

(54) SEMICONDUCTOR DEVICE HAVING TRENCH STRUCTURE AND FABRICATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance the characteristics of an insulation film by extending the insulation film from the inner surface of a trench in a semiconductor substrate to the outer surface of the semiconductor substrate along the major surface thereof and extending a conductive part from the inside of the trench to the outer surface of the semiconductor substrate along the major surface thereof.

SOLUTION: A semiconductor substrate is produced by forming an n--type low concentration diffusion layer 1, an n-type diffusion layer 2 and a p+-type high concentration diffusion layer 3 and then a p-type base layer 4 is diffused into the semiconductor substrate from the surface thereof. An n+-type emitter diffusion layer 5 is formed partially at the upper part of the p-type base layer 4. Subsequently, a CVD film is deposited and patterned to open the position for making a trench before making the trench by etching the semiconductor substrate. Thereafter, an insulation film 11 is formed entirely from the inner wall to the outer surface of the trench which is eventually filled with a conductive film of gate electrode material 12 up to the outer surface of the semiconductor substrate.



LEGAL STATUS

[Date of request for examination] 21.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項 1】 半導体基板の主面に形成されたトレンチと、前記トレンチの内表面から上記半導体基板の主面に沿った外表面にまで延在する絶縁膜と、前記トレンチの内部から上記半導体基板の主面に沿った外表面にまで延在する導電部とを備えたことを特徴とするトレンチ構造を有する半導体装置。

【請求項 2】 前記絶縁膜が前記トレンチの開口部から前記外表面の部分で厚く形成され、前記導電部が前記トレンチの開口部分で絞り込まれた形状を有することを特徴とする請求項 1 に記載のトレンチ構造を有する半導体装置。

【請求項 3】 隣り合うトレンチの間で前記絶縁膜と前記導電部とがそれぞれ連続して形成されたことを特徴とする請求項 1 又は 2 に記載のトレンチ構造を有する半導体装置。

【請求項 4】 前記絶縁膜を挟む全キャパシタ面積のうち、前記半導体基板の主面に沿った外表面の絶縁膜部分を挟むキャパシタ面積が 5 % 以上となるように形成されたことを特徴とする請求項 1 ～ 3 のいずれかに記載のトレンチ構造を有する半導体装置。

【請求項 5】 前記絶縁膜の全ゲートエッジ長のうち、前記外延部の絶縁膜部分のゲートエッジ長が 3 0 % 以上となるように形成されたことを特徴とする請求項 1 ～ 3 のいずれかに記載のトレンチ構造を有する半導体装置。

【請求項 6】 半導体基板の主面に形成されたトレンチと、前記トレンチの内表面から上記半導体基板の主面に沿った外表面にまで延在する絶縁膜と、すくなくとも前記トレンチの内部に形成された導電部とを備え、前記絶縁膜の前記外表面での厚みが前記内表面での厚みより 2 倍以上厚く形成されていることを特徴とするトレンチ構造を有する半導体装置。

【請求項 7】 半導体基板の主面に形成されたトレンチと、すくなくとも前記トレンチの内表面に形成され、熱酸化膜の上に CVD 膜を積層した 2 層構造、又は CVD 膜の上に熱酸化膜を積層した 2 層構造、もしくは熱酸化膜の上に CVD 膜を積層しさらに熱酸化膜を積層した 3 層構造の絶縁膜と、すくなくとも前記トレンチの内部に形成された導電部とを備えたことを特徴とするトレンチ構造を有する半導体装置。

【請求項 8】 半導体基板の主面に形成されたトレンチと、すくなくとも前記トレンチの内表面に形成された絶縁膜と、すくなくとも前記トレンチの内部に形成され窒素が注入された導電部とを備えたことを特徴とするトレンチ構造を有する半導体装置。

【請求項 9】 前記半導体基板をシリコン半導体基板とし、前記絶縁膜をシリコン酸化膜とし、前記導電膜をシリコン多結晶導体とすることを特徴とする請求項 1 ～ 8 のいずれかに記載のトレンチ構造を有する半導体装置。

【請求項 1 0】 前記半導体基板の前記トレンチ側面を

チャンネルとし、前記絶縁膜をゲート絶縁膜とし、前記導電膜をゲートとすることを特徴とする請求項 1 ～ 9 のいずれかに記載のトレンチ構造を有する半導体装置。

【請求項 1 1】 半導体基板の主面にトレンチを形成する工程と、前記トレンチの内表面から上記半導体基板の主面に沿った外表面にまで延在する絶縁膜を形成する工程と、前記トレンチの内部を含む前記半導体基板の主面に導電膜を形成する工程と、前記導電膜が前記トレンチ内部から前記半導体基板の主面に沿った外表面に延在するように前記導電膜の前記トレンチより所定距離離れた部分をエッチング除去する工程とを含むことを特徴とするトレンチ構造を有する半導体装置の製造方法。

【請求項 1 2】 半導体基板の主面にトレンチを形成する工程と、前記トレンチの内表面から上記半導体基板の主面に沿った外表面にまで延在する第 1 の絶縁膜を形成する工程と、前記トレンチの内部を含む前記半導体基板の主面に第 1 の導電膜を形成した後に前記第 1 の導電膜を上記トレンチの開口面より低い位置までエッチング除去して第 1 の導電部を形成する工程と、前記半導体基板の主面全体に第 2 の絶縁膜を形成した後に前記第 1 の絶縁膜の上に前記第 2 の絶縁膜を残して前記トレンチの中の前記第 1 の導電部に達する開孔を形成する工程と、前記開孔に前記第 1 の導電部に至る第 2 の導電部を形成する工程とを含むことを特徴とするトレンチ構造を有する半導体装置の製造方法。

【請求項 1 3】 前記絶縁膜及び前記導電膜が、隣り合うトレンチの間で連続するように形成することを特徴とする請求項 1 1 又は 1 2 に記載のトレンチ構造を有する半導体装置の製造方法。

【請求項 1 4】 前記絶縁膜を挟む全キャパシタ面積のうち、前記半導体基板の主面に沿った外表面の絶縁膜部分を挟むキャパシタ面積が 5 % 以上となるように前記絶縁膜及び前記導電膜を形成することを特徴とする請求項 1 1 ～ 1 3 のいずれかに記載のトレンチ構造を有する半導体装置。

【請求項 1 5】 前記絶縁膜の全ゲートエッジ長のうち、前記半導体基板の主面に沿った外表面の絶縁膜部分のゲートエッジ長が 3 0 % 以上となるように前記絶縁膜及び前記導電膜を形成することを特徴とする請求項 1 1 ～ 1 3 のいずれかに記載のトレンチ構造を有する半導体装置。

【請求項 1 6】 半導体基板の主面にトレンチを形成する工程と、前記トレンチの内表面から上記半導体基板の主面に沿った外表面にまで絶縁膜を延在させかつ前記外表面での厚みを前記内表面での厚みの 2 倍以上に形成する工程と、前記トレンチの内部を含む前記半導体基板の主面に導電膜を形成する工程と、前記導電膜を前記トレンチに対応してパターンニングする工程とを含むことを特徴とするトレンチ構造を有する半導体装置の製造方法。

【請求項 1 7】 半導体基板の主面にトレンチを形成す

10

20

30

40

50

る工程と、少なくとも前記トレンチの内表面に熱酸化膜を形成しこの熱酸化膜の上にCVD膜を積層する工程又は前記トレンチの内表面にCVD膜を形成しこのCVD膜の上に熱酸化膜を形成する工程と、前記トレンチの内部を含む前記半導体基板の主面に導電膜を形成する工程と、前記導電膜を前記トレンチに対応してパターンニングする工程とを含むことを特徴とするトレンチ構造を有する半導体装置の製造方法。

【請求項 18】 前記CVD膜の上にさらに熱酸化膜を積層する工程を含むことを特徴とする請求項 17に記載のトレンチ構造を有する半導体装置の製造方法。

【請求項 19】 半導体基板の主面にトレンチを形成する工程と、少なくとも前記トレンチの内表面に絶縁膜を形成する工程と、前記トレンチの内部を含む前記半導体基板の主面に導電膜を形成しこの導電膜に窒素を注入する工程と、前記導電膜を前記トレンチに対応してパターンニングする工程とを含むことを特徴とするトレンチ構造を有する半導体装置の製造方法。

【請求項 20】 半導体基板の主面にトレンチを形成する工程と、前記トレンチの底部に不純物を注入する工程と、少なくとも前記トレンチの内表面に絶縁膜を形成する工程と、前記トレンチの内部を含む前記半導体基板の全面に導電膜を形成する工程と、前記導電膜を前記トレンチに対応してパターンニングする工程とを含むことを特徴とするトレンチ構造を有する半導体装置の製造方法。

【請求項 21】 前記半導体基板としてシリコン半導体基板を用い、前記絶縁膜としてシリコン酸化膜を形成し、前記導電膜としてシリコン多結晶導膜を形成することを特徴とする請求項 11～20のいずれかに記載のトレンチ構造を有する半導体装置の製造方法。

【請求項 22】 前記半導体基板の前記トレンチ側面をチャネルとし、前記絶縁膜をゲート絶縁膜とし、前記導電膜をゲートとすることを特徴とする請求項 11～21のいずれかに記載のトレンチ構造を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、トレンチ構造をMOSゲートとして使用する半導体装置及びその製造方法に関するものである。さらに詳しくは、トレンチ内壁に形成するゲート酸化膜特性を改善した半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】図16は、トレンチをMOSゲートとして用いる従来のパワーデバイス（例えば、IGBT：絶縁ゲート型バイポーラトランジスタ）の構造を説明するための図である。図16(a)は、トレンチの配列を示す概念図、図16(b)は図16(a)のA-A'線のトレンチの長手方向に沿ったパワーデバイスの断面図、図16(c)は図16(a)のB-B'線のトレンチを

横断する垂直線に沿ったパワーデバイスの断面図である。

【0003】図において、1はn⁻型拡散層、2はn型拡散層、3はp⁺型高濃度拡散層、4はp型ベース層、5はn⁺型エミッタ拡散層、7はトレンチ、11はゲート酸化膜、12はゲート、15はシリコン酸化膜、16及び17は層間膜、18はp⁺領域、19はシリサイド層、20はバリアメタル、21はアルミを示す。このような従来のトレンチMOSゲート構造では、図16

(c)に示すように、ゲート12の表面が、シリコン基板の表面よりも下、言い換えれば、トレンチ開口面よりも下に位置している。

【0004】また、図17は、比較のために、従来のプレーナーMOSゲート構造を示している。図16と同一の符号は、それぞれ同一又は相当部分を示すので、詳細な説明は省略する。

【0005】図18～図20は、トレンチをMOSゲートとして用いる従来のパワーデバイス（IGBT：絶縁ゲート型バイポーラトランジスタ）の製造工程を示す図である。製造方法について説明すると、先ず、図18(a)に示すように、シリコンなどの半導体基板30のn⁻型領域1の下面にn⁺領域2とp⁺領域3を形成し、上面にp型不純物領域4を形成する。さらにその上に選択的にn型高不純物濃度領域5を形成する。その後、p型領域4及びn型領域5を貫通するトレンチ7を形成する。その後、このトレンチ7の内面及び開口部の平滑化をする。

【0006】次に、図18(b)に示すように、トレンチ7の内部から基板30の表面にわたってシリコン酸化膜11を形成する。このシリコン酸化膜11は、ゲート酸化膜となるものである。

【0007】次に、図18(c)に示すように、基板30の全面にゲート電極材料12として低抵抗多結晶シリコン膜を形成しトレンチ7にも充填する。次に、図18(d)に示すように、ゲート電極材料12をパターンニングしてトレンチ7内部にゲート12を形成する。次に、図19(a)に示すように、ゲート12上にシリコン酸化膜15を形成する。

【0008】次に、図19(b)に示すように、この基板30の全面に層間絶縁膜としてCVD膜16及び17を形成する。次に、図19(c)に示すように、エッチングにより酸化膜16、17を整形してトレンチMOSゲートを形成する。

【0009】次に、図20に示すように、スパッタ法やランブアニール等を用いてシリサイド層19、バリアメタル20、アルミ21を形成する。また、電極22を形成する。こうして、トレンチ構造を有するIGBTを完成する。

【0010】

【発明が解決しようとする課題】以上のように製造され

た、図 16 に示すような従来のデバイス構造では、図 16 (b) の断面図における、図示 C 領域のトレンチ開口部で Si/SiO₂ 界面形状に凸状部分が現れる。また、図示 C、D 領域でゲート酸化膜 11 の薄膜化が起きて、トレンチ 7 内壁に形成するゲート酸化膜 11 の酸化膜特性及び信頼性の劣化を招いていた。

【0011】また図 18 (b) の工程で、ゲート酸化膜 11 を形成する場合に、トレンチ 7 の側面には n⁺ エミッタ層 5、p ベース層 4 が形成されているために、ゲート酸化膜 11 中へ拡散層のドーパントが拡散していき、ゲート酸化膜特性や信頼性を悪化させていた。

【0012】この発明は、これらの問題を解決するためになされたもので、トレンチを MOS ゲートとして用いるパワーデバイスなどの半導体装置において、トレンチ内壁に形成するゲート酸化膜などの絶縁膜の特性を向上させるデバイス構造およびその製造方法を得ることを目的とする。

【0013】

【課題を解決するための手段】この発明のトレンチ構造を有する半導体装置は、半導体基板の主面に形成されたトレンチと、前記トレンチの内表面から上記半導体基板の主面に沿った外表面にまで延在する絶縁膜と、前記トレンチの内部から上記半導体基板の主面に沿った外表面にまで延在する導電部とを備えたことを特徴とするものである。

【0014】また、この発明のトレンチ構造を有する半導体装置は、前記絶縁膜が前記トレンチの開口部から前記外表面の部分で厚く形成され、前記導電部が前記トレンチの開口部分で絞り込まれた形状を有することを特徴とするものである。

【0015】また、この発明のトレンチ構造を有する半導体装置は、隣り合うトレンチの間で前記絶縁膜と前記導電部とがそれぞれ連続して形成されたことを特徴とするものである。

【0016】また、この発明のトレンチ構造を有する半導体装置は、前記絶縁膜を挟む全キャパシタ面積のうち、前記半導体基板の主面に沿った外表面の絶縁膜部分を挟むキャパシタ面積が 5% 以上となるように形成されたことを特徴とするものである。

【0017】また、この発明のトレンチ構造を有する半導体装置は、前記絶縁膜の全ゲートエッジ長のうち、前記外延部の絶縁膜部分のゲートエッジ長が 30% 以上となるように形成されたことを特徴とするものである。

【0018】また、この発明のトレンチ構造を有する半導体装置は、半導体基板の主面に形成されたトレンチと、前記トレンチの内表面から上記半導体基板の主面に沿った外表面にまで延在する絶縁膜と、すくなくとも前記トレンチの内部に形成された導電部とを備え、前記絶縁膜の前記外表面での厚みが前記内表面での厚みより 2 倍以上厚く形成されていることを特徴とするものである。

る。

【0019】また、この発明のトレンチ構造を有する半導体装置は、半導体基板の主面に形成されたトレンチと、少なくとも前記トレンチの内表面に形成され熱酸化膜の上に CVD 膜を積層した 2 層構造、又は前記トレンチの内表面に形成され CVD 膜の上に熱酸化膜を積層した 2 層構造、もしくは熱酸化膜の上に CVD 膜を積層しさらに熱酸化膜を積層した 3 層構造の絶縁膜と、少なくとも前記トレンチの内部に形成された導電部とを備えたことを特徴とするものである。

【0020】また、この発明のトレンチ構造を有する半導体装置は、半導体基板の主面に形成されたトレンチと、少なくとも前記トレンチの内表面に形成された絶縁膜と、少なくとも前記トレンチの内部に形成され窒素が注入された導電部とを備えたことを特徴とするものである。

【0021】また、この発明のトレンチ構造を有する半導体装置は、前記半導体基板をシリコン半導体基板とし、前記絶縁膜をシリコン酸化膜とし、前記導電膜をシリコン多結晶導体とすることを特徴とするものである。

【0022】また、この発明のトレンチ構造を有する半導体装置は、前記半導体基板の前記トレンチ側面をチャネルとし、前記絶縁膜をゲート絶縁膜とし、前記導電膜をゲートとすることを特徴とするものである。

【0023】次に、この発明のトレンチ構造を有する半導体装置の製造方法は、半導体基板の主面にトレンチを形成する工程と、前記トレンチの内表面から上記半導体基板の主面に沿った外表面にまで延在する絶縁膜を形成する工程と、前記トレンチの内部を含む前記半導体基板の主面に導電膜を形成する工程と、前記導電膜が前記トレンチ内部から前記半導体基板の主面に沿った外表面に延在するように前記導電膜の前記トレンチより所定距離離れた部分をエッチング除去する工程とを含むことを特徴とするものである。

【0024】また、この発明のトレンチ構造を有する半導体装置の製造方法は、半導体基板の主面にトレンチを形成する工程と、前記トレンチの内表面から上記半導体基板の主面に沿った外表面にまで延在する第 1 の絶縁膜を形成する工程と、前記トレンチの内部を含む前記半導体基板の主面に第 1 の導電膜を形成した後に前記第 1 の導電膜を上記トレンチの開口面より低い位置までエッチング除去して第 1 の導電部を形成する工程と、前記半導体基板の主面全体に第 2 の絶縁膜を形成した後で前記第 1 の絶縁膜の上に前記第 2 の絶縁膜を残して前記トレンチの中の前記第 1 の導電部に達する開口を形成する工程と、前記開口に前記第 1 の導電部に至る第 2 の導電部を形成する工程とを含むトレンチ構造を有するものである。

【0025】また、この発明のトレンチ構造を有する半導体装置の製造方法は、前記絶縁膜及び前記導電膜が、

隣り合うトレンチの間で連続するように形成することを特徴とするものである。

【0026】また、この発明のトレンチ構造を有する半導体装置の製造方法は、前記絶縁膜を挟む全キャパシタ面積のうち、前記半導体基板の主面に沿った外表面の絶縁膜部分を挟むキャパシタ面積が5%以上となるように前記絶縁膜及び前記導電膜を形成することを特徴とするものである。

【0027】また、この発明のトレンチ構造を有する半導体装置の製造方法は、前記絶縁膜の全ゲートエッジ長のうち、前記半導体基板の主面に沿った外表面の絶縁膜部分のゲートエッジ長が30%以上となるように前記絶縁膜及び前記導電膜を形成することを特徴とするものである。

【0028】また、この発明のトレンチ構造を有する半導体装置の製造方法は、半導体基板の主面にトレンチを形成する工程と、前記トレンチの内表面から上記半導体基板の主面に沿った外表面にまで絶縁膜を延在させかつ前記外表面での厚みを前記内表面での厚みの2倍以上に形成する工程と、前記トレンチの内部を含む前記半導体基板の主面に導電膜を形成する工程と、前記導電膜を前記トレンチに対応してパターンニングする工程とを含むことを特徴とするものである。

【0029】また、この発明のトレンチ構造を有する半導体装置の製造方法は、半導体基板の主面にトレンチを形成する工程と、少なくとも前記トレンチの内表面に熱酸化膜を形成しこの熱酸化膜の上にCVD膜を積層する工程又は前記トレンチの内表面にCVD膜を積層しこのCVD膜の上に熱酸化膜を形成する工程と、前記トレンチの内部を含む前記半導体基板の主面に導電膜を形成する工程と、前記導電膜を前記トレンチに対応してパターンニングする工程とを含むことを特徴とするものである。

【0030】また、この発明のトレンチ構造を有する半導体装置の製造方法は、前記CVD膜の上にさらに熱酸化膜を積層する工程を含むことを特徴とするものである。

【0031】また、この発明のトレンチ構造を有する半導体装置の製造方法は、半導体基板の主面にトレンチを形成する工程と、少なくとも前記トレンチの内表面に絶縁膜を形成する工程と、前記トレンチの内部を含む前記半導体基板の主面に導電膜を形成しこの導電膜に窒素を注入する工程と、前記導電膜を前記トレンチに対応してパターンニングする工程とを含むことを特徴とするものである。

【0032】また、この発明のトレンチ構造を有する半導体装置の製造方法は、半導体基板の主面にトレンチを形成する工程と、前記トレンチの底部に不純物を注入する工程と、少なくとも前記トレンチの内表面に絶縁膜を形成する工程と、前記トレンチの内部を含む前記半導体

基板の全面に導電膜を形成する工程と、前記導電膜を前記トレンチに対応してパターンニングする工程とを含むことを特徴とするものである。

【0033】また、この発明のトレンチ構造を有する半導体装置の製造方法は、前記半導体基板としてシリコン半導体基板を用い、前記絶縁膜としてシリコン酸化膜を形成し、前記導電膜としてシリコン多結晶導膜を形成することを特徴とするものである。

【0034】また、この発明のトレンチ構造を有する半導体装置の製造方法は、前記半導体基板の前記トレンチ側面をチャネルとし、前記絶縁膜をゲート絶縁膜とし、前記導電膜をゲートとして形成することを特徴とするものである。

【0035】

【発明の実施の形態】

実施の形態1. 図1～図6は、この発明の実施の形態1による、トレンチ構造を有する半導体装置の製造方法及び構造を説明するための図である。以下では、半導体装置として、トレンチMOSゲート構造を有するIGBTを例にとって説明する。先ず、製造方法から説明して、後に構造を説明する。

【0036】図1(a)～図6(b)は、トレンチの横断面での製造工程ごとの図であり、従来例で説明した図16(a)のトレンチ平面図のB-B'線での横断面に相当する。図面の各頁ごとに異なる図番号を付さなければならないという制約から、図1(d)は図2(a)に続き、図2(d)は図3(a)に続き、図3(d)は図4(a)に続き、図4(d)は図5(a)に続き、図5(b)は図6(a)に続く一連の工程を示している。

【0037】先ず、図1(a)に示す半導体基板30において、1はn⁻型低濃度拡散層（濃度： $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-3}$ 、深さ： $40 \sim 600 \mu\text{m}$ ）、2はn型拡散層（ピーク濃度： $1 \times 10^{18} \text{ cm}^{-3}$ 以下、拡散深さ： p^+ 型高濃度拡散層3の拡散深さ以上 $400 \mu\text{m}$ 以下）、3はp⁺型高濃度拡散層（表面濃度： $2 \times 10^{18} \text{ cm}^{-3}$ 以上、拡散深さ： $1 \mu\text{m}$ 以上でn型拡散層2の拡散深さ以下）である。ここで、拡散層1、2、3に関しては注入、拡散で形成してもよいし、エピタキシャル成長により形成してもかまわない。

【0038】次に、図1(b)に示すように、基板表面（n⁻型低濃度拡散層1）の中にp型ベース層4を拡散する（ピーク濃度： $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 、拡散深さ： $1 \sim 4 \mu\text{m}$ 、後に形成するトレンチ7の深さよりも浅くする）。次に、図1(c)に示すように、n⁺型エミッタ拡散層5（表面濃度： $1 \times 10^{18} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 、拡散深さ： $0.3 \sim 2 \mu\text{m}$ ）を形成する。なお、半導体基板30の符号は、簡略化のため図1(c)以降は省略する。

【0039】次に、図1(d)に示すように、CVD膜6をデポし、これをパターンニングしてトレンチ7を形成

する位置を開口する。次に、図 2 (a) に示すように、酸化膜 6 をマスクとして半導体基板をエッチングしトレンチ 7 を形成する。

【0040】次に、トレンチ MOS ゲートの特性を向上させるために、トレンチエッチング後の後処理を行なう。それにはまず、図 2 (b) に示すように、酸化膜 6 のうち、トレンチ 7 の開口部近傍の部分を選択的に除去し、酸化膜 6 をトレンチ 7 から距離 x だけ後退させる。次に、図 2 (c) に示すように、シリコンの等方性プラズマエッチングを行なう。これによりトレンチ 7 の開口部 8 は面取りされ、また底部 9 は丸くなって角張った部分がなくなる。

【0041】次に、図 2 (d) に示すように、酸化膜 10 (犠牲酸化膜) を形成する。次に、図 3 (a) に示すように、その酸化膜 10 を除去する。これらの工程により、トレンチ開口部 8、ボトム 9 のラウンディング化、及びトレンチ内壁の平滑化を行う。

【0042】次に、図 3 (b) に示すように、トレンチ 7 の内壁からトレンチ外表面にまで全面にシリコン酸化膜 11 (第 1 の絶縁膜) を形成する。これはトレンチのゲート酸化膜となるものである。次に、図 3 (c) に示すように、トレンチ 7 に第 1 のゲート電極材料 12 (第 1 の導電膜) (例えば、高濃度リンを含む poly-Si) を埋め込む。次に、図 3 (d) に示すように、エッチングを行って第 1 のゲート電極材料 12 をシリコン基板表面より低い位置までエッチングする。すなわち、トレンチ開口部の外表面より低い位置までエッチングする。

【0043】その後、図 4 (a) に示すように、CVD 膜 13 (第 2 の絶縁膜) をデポさせる。次に、図 4 (b) に示すように、CVD 膜 13 をパターンニングして開孔し、シリコン酸化膜 11 の上に CVD 膜 13 を残しながら、トレンチ 7 内部の第 1 のゲート電極材料 12 の表面を露出させる。次に、図 4 (c) に示すように、第 2 のゲート電極材料 14 (第 2 の導電膜) を形成し、第 1 のゲート電極材料 12 とトレンチ 7 内部でコンタクトをとる。

【0044】次に、図 4 (d) に示すように、第 2 のゲート電極材料 14 のパターンニングを行う。ここで、第 1 のゲート電極材料 12 と第 2 のゲート電極材料 14 とは同じ材料を用いる。また、第 2 のゲート電極材料 14 をデポジションさせるまえに、ゲート抵抗の低抵抗化のために図 4 (b) の段階で第 1 のゲート電極材料 12 の表面にシリサイド層 (TiSi , CoSi など) を形成してもよい。

【0045】次に、図 5 (a) に示すように、第 2 のゲート電極材料 14 にレジスト 14a を施し、CVD 膜 13 をパターンニングしてエッチングを行なった後に、イオン注入により p^+ 型領域 18 を形成する。次に、図 5

(b) に示すように、第 2 のゲート電極材料 14 の表面

を酸化させ酸化膜 15 を形成し、層間膜 16 および 17 (例えば CVD 膜やボロン、リンを含むシリケートガラスなど) を形成する。

【0046】その後、図 6 (a) に示すように、コンタクトのパターンニングを行なう。次に、図 6 (b) に示すように、スパッタ法やランプアニール等を用いてシリサイド層 19、バリアメタル 20、アルミ 21 を形成する。また、電極 22 を形成する。こうして、トレンチ MOS ゲート構造を有する IGBT が完成する。

【0047】以上説明したように、この実施の形態の半導体装置の例として、トレンチ MOS ゲート構造を有する IGBT は、図 6 (b) の横断面の断面図によって示される。この構造は次のように要約される。すなわち、この実施の形態の半導体装置は、半導体基板 30 の主面に形成されたトレンチ 7 と、トレンチ 7 の内表面から半導体基板 30 の主面に沿った外表面にまで延在しトレンチ 7 の開口部からトレンチ外表面の部分で厚く形成されたゲート絶縁膜 11、13 を有する。さらにトレンチ 7 の内部から外表面まで延在しトレンチ 7 の開口部分で絞り込まれた形状を有するゲート (導電部) 12、14 とを備えている。

【0048】また、次のように言い換えることもできる。すなわち、この実施の形態の半導体装置は、半導体基板 30 の主面に形成されたトレンチ 7 と、トレンチ 7 の内表面から半導体基板 30 の主面に沿った外表面にまで延在する第 1 の絶縁膜 11 を有している。また、トレンチ 7 の内部でトレンチ 7 の開口面より低い位置まで満たされた第 1 の導電部 12 を有している。また、第 1 の絶縁膜 11 の上をトレンチ 7 の中の第 1 の導電部 12 の周辺部から外表面にまで延在する第 2 の絶縁膜 13 を有している。さらに、この第 2 の絶縁膜 13 の間で下部の第 1 の導電部 12 と接続され第 2 の絶縁膜 13 の外表面にまで形成された第 2 の導電部 14 を有している。

【0049】また、以上説明したこの実施の形態の半導体装置の製造方法は、次のように要約することができる。すなわち、まず半導体基板 30 の主面に複数のトレンチ 7 を形成する。次に、トレンチ 7 の内表面から半導体基板 30 の主面に沿った外表面にまで延在する第 1 の絶縁膜 11 を形成する。これはゲート絶縁膜となる。次に、トレンチ 7 の内部を埋め込むように半導体基板 30 の主面に第 1 の導電膜 12 を形成し、その後に第 1 の導電膜 12 をトレンチ 7 の開口面より低い位置までエッチング除去する。これは下部のゲート部分となる。次に、半導体基板 30 の主面全体に第 2 の絶縁膜 13 を形成し、その後で第 1 の絶縁膜 11 の上に第 2 の絶縁膜 13 を残して、トレンチ 7 の中の第 1 の導電部 12 に達する開孔を形成する。次に、前記開孔に第 1 の導電部 12 に至る第 2 の導電部 14 を形成する。これは上部のゲート部分となる。こうして、トレンチ構造を有する半導体装置を製造する。

【0050】以上のようにして形成したトレンチMOSゲート構造を用いれば、トレンチ開孔部におけるSi/SiO₂界面の凸状形状がなくなる。すなわち、トレンチ内壁に形成するゲート酸化膜リーク特性を劣化させる原因となる構造がなくなる。これにより、ゲート酸化膜リーク特性が改善される。

【0051】実施の形態2。図7～図9は、この発明の実施の形態2によるトレンチ構造を有する半導体装置の製造方法及び構造を説明するための図である。図7に至るまでの工程は、実施の形態1の図1～図2の工程と同様であるから、それらを援用する。先ず、製造方法について説明し、その後に構造について説明する。

【0052】製造方法は、先ず、図1～図2に示す工程と同様の工程を行なう。次に、図7(a)に示すように、トレンチエッチング後もしくはトレンチエッチングの後処理後に、トレンチボトムへpベース層4より低くn⁺型領域1よりも高濃度のヒソを注入する。

【0053】次に、図7(b)に示すように、トレンチ7の内壁から外表面に至る全面にシリコン酸化膜11(絶縁膜)を形成する。これはゲート酸化膜となるものである。このようにした結果、図7(b)に示すように、従来生じていたトレンチボトム9でのゲート酸化膜11の薄膜化が増速酸化により回避される。かつ、トレンチ内壁でのゲート酸化膜膜厚の均一性が向上してゲート酸化膜特性が向上することが見込まれる。

【0054】次に、図7(c)に示すように、トレンチ7をゲート電極材料12(導電膜)(例えば、高濃度リンを含むpoly-Si)で埋め込む。次に、図8

(a)に示すように、エッチングを行ってゲート電極材料12がシリコン基板表面より突出するようにエッチングする。また、p⁺型領域18を注入により形成する。その後、ゲート電極材料12の表面を酸化させ酸化膜15を形成する。次に、図8(b)に示すように、層間膜16および17(例えばCVD膜やボロン、リンを含むシリケートガラスなど)を形成する。

【0055】その後、図8(c)に示すように、コンタクトのパターンニングを行なう。次に、図9に示すように、スパッタ法やランプアニール等を用いてシリサイド層19、バリアメタル20、アルミ21を形成する。こうして、トレンチMOSゲート構造を有するIGBTが完成する。

【0056】以上においては、ゲートがトレンチ開孔部より突出した構造の半導体装置の製造において、トレンチボトムに不純物を拡散する製造方法を説明した。しかし、トレンチボトムへの不純物の拡散は、ゲートの構造とは関係なく効果を有するものであり、従来のようなゲート構造の半導体装置あるいは実施の形態1で説明したゲート構造の半導体装置などにも適用できるものであり、効果を発揮するものである。

【0057】以上説明したこの実施の形態の構造と製法

を要約すると次のとおりである。すなわち、この実施の形態による半導体装置は、半導体基板30の主面に形成されたトレンチ7を有し、トレンチ7の内表面から半導体基板30の主面に沿った外表面にまで延在する絶縁膜11を有している。また、トレンチ7の内部から半導体基板30の主面に沿った外表面にまで延在する導電膜12を備えている。すなわち、導電膜12がシリコン基板表面より突出している構造を有している。

【0058】また、この実施の形態による半導体装置の製造方法では、先ず半導体基板30の主面にトレンチ7を形成する。次に、トレンチ7の内表面から半導体基板30の主面に沿った外表面にまで延在する絶縁膜11を形成する。次に、トレンチ7の内部を含む半導体基板30の主面に導電膜12を形成する。次に、導電膜12がトレンチ7内部から半導体基板30の主表面に延在するように、導電膜12のトレンチ7より所定距離離れた部分をエッチング除去する。こして、トレンチ構造を有する半導体装置を製造する。

【0059】このように形成したこの実施の形態の半導体装置では、トレンチ7の内部からトレンチの外表面に延在するゲート酸化膜11とゲート12とを備えるので、ゲート酸化膜11に流れる電流がトレンチ開孔部に集中するのを緩和できる。それにより、ゲート酸化膜の信頼性を向上させる効果がある。

【0060】また、この実施の形態による他の半導体装置は、ゲートの形状・構造とはかかわらず、砒素などの不純物をトレンチ7の底部に注入し、その後にゲート絶縁膜11を酸化形成することにより、トレンチボトムでのゲート酸化膜11が十分厚く形成された構造を有している。

【0061】また、この実施の形態による他の半導体装置の製造方法では、先ず半導体基板30の主面にトレンチ7を形成する。次に、トレンチ7の底部に不純物を注入する。その後に、トレンチ7の内表面に絶縁膜11を形成する。その後の工程は、従来と変わらない。

【0062】以上のようにして形成したトレンチMOSゲート構造を用いれば、トレンチ内壁でのゲート酸化膜の膜厚の均一性が向上してゲート酸化膜特性が向上する。

【0063】実施の形態3。図10は、この発明の実施の形態3による半導体装置の構造を説明するための図である。また、図11及び図12は、この実施の形態の半導体装置の作用を説明するための図である。

【0064】図10(a)は、この実施の形態による半導体装置の一例であり、実施の形態2で示したトレンチMOSゲート構造と同じ概念のものであるが、ゲート絶縁膜11がトレンチ開孔からトレンチ外表面に延在しており、かつ、ゲート12がトレンチ7から突出するとともにゲート酸化膜11と同じ長さで外表面に延在している。

【0065】また、図10(b)は、この実施の形態による半導体装置の他の一例であり、実施の形態2で示したトレンチMOSゲート構造のものが、隣り合うトレンチ間で、ゲート絶縁膜11が分離されずに連続しており、かつゲート12も分離されずに連続している。図中の符号は、実施の形態2と同様または相当のものを示しており、詳細な説明は省略する。

【0066】このようなこの実施の形態に示す構造においては、従来のトレンチMOS構造に比べてゲート電極材料12をトレンチ開孔部にてシリコン基板より上に形成している。このため、トレンチ内壁から基板表面にまで延在するゲート酸化膜11で占める全キャパシタ面積($S_{total\ trench}$)のうちで、トレンチ開孔部、すなわち基板表面における平面部分のキャパシタ面積(図10(a)の S_{planar} 部分)の割合 β が増加することになる。なお、ここで、従来のトレンチMOSゲート構造では、図16に示す S_{planar} 部分に平面部分が存在する。

【0067】また、キャパシタ面積の場合と同様に、トレンチMOSゲート構造の全ゲートエッジ長に占めるトレンチ開孔部すなわちトレンチ外表面のゲートエッジ長の割合 α に関しても、従来のトレンチMOSゲート構造よりも図10(a)及び図10(b)に示したトレンチMOSゲート構造の方が増加する。

【0068】図11及び図12は、それぞれこの容量比 β 及びエッジ長比 α とゲート酸化膜が破壊するまでに蓄えられる電荷量(Q_{bd})との関係を示す図である。電荷量 Q_{bd} は、ゲート酸化膜が絶縁破壊するまでチャージできる電荷量を示している。この値は、酸化膜の信頼性特性の指標となるパラメータであり、 Q_{bd} が大きいほど酸化膜の膜質が良く信頼性が良いことがいえる。

【0069】図11において、従来のトレンチMOSゲート構造に比べ、図10(a)、(b)に示すトレンチMOSゲート構造の方が Q_{bd} 値が急速に増大していることがわかる。従来の構造では、容量比 β は2%程度であり、この実施の形態では10%前後である。図11のカーブからみて、容量比 β が5%以上になるようにゲート酸化膜11及びゲート12を形成すれば、絶縁破壊までの電荷量(Q_{bd})を従来の構造より1桁以上大きくできる。

【0070】また、図12において、従来のトレンチMOSゲート構造に比べ、図10(a)、(b)に示すトレンチMOSゲート構造の方が Q_{bd} 値が急速に増大していることがわかる。従来の構造では、エッジ長比 α は5%程度であり、この実施の形態では40%前後である。図12のカーブからみて、エッジ長比 α が30%以上になるようにゲート酸化膜11及びゲート12を形成すれば、絶縁破壊までの電荷量(Q_{bd})を従来の構造よりほぼ1桁以上大きくできる。

【0071】このように、図11及び図12に示す挙動は、トレンチ内壁に形成されているゲート酸化膜に流れ

る電流がトレンチ開孔部で集中するために、キャパシタ全体の面積に占めるトレンチ開孔部の面積が増えた方が、トレンチ開孔部での電流密度が緩和されることによるものである。なお、図11、図12中の α 、 $\beta=100\%$ の値は図17に示す従来のプレーナーMOSゲート構造を示している。

【0072】なお、図10(a)に示した構造の半導体装置の製造方法は、実施の形態2で説明した方法と基本的に同じであるから、説明を省略する。また、図10(b)に示した構造の半導体装置の製造方法は、実施の形態2において、図7(c)までの工程は同じであり、図8(a)の工程において、2つのトレンチ7の間でゲート12を分離せずに形成する。その他は実施の形態2と基本的に同様であるから、詳細な説明は省略する。ただし、図7(a)の工程を省略してもよい。

【0073】以上説明したこの実施の形態の半導体装置の構造と製法を要約すると次のとおりである。すなわち、この実施の形態の半導体装置は、トレンチ7の内表面から半導体基板30の主面に沿った外表面にまで延在する絶縁膜(ゲート酸化膜)11を備え、かつ、トレンチ7の内部から半導体基板30の主面に沿った外表面にまで延在する導電部(ゲート)12が、絶縁膜(ゲート酸化膜)11と同じ長さまで長く形成されている。

【0074】また、この実施の形態の他の半導体装置は、隣り合うトレンチの間で絶縁膜(ゲート絶縁膜)11と導電部(ゲート)12とがそれぞれ連続して形成されている。

【0075】また、この実施の形態の他の半導体装置は、全キャパシタ面積に占めるトレンチ開孔部における平面部の面積が大きくなるトレンチMOSゲート構造とした。特に好ましくは、絶縁膜を挟む全キャパシタ面積のうち、トレンチ外表面の絶縁膜部分を挟むキャパシタ面積が5%以上となるように形成している。

【0076】また、この実施の形態の他の半導体装置は、トレンチ開孔部におけるゲートエッジ長が大きくなるトレンチMOSゲート構造とした。特に好ましくは、絶縁膜の全ゲートエッジ長のうち、トレンチ外表面の絶縁膜部分のゲートエッジ長が30%以上となるように形成している。

【0077】以上説明したこの実施の形態によれば、ゲート酸化膜の信頼性を向上する効果が得られる。

【0078】実施の形態4. 図13及び図14は、この発明の実施の形態4によるトレンチ構造を有する半導体装置の製造方法及び構造を説明するための図である。図13に至るまでの製造工程は、実施の形態1の図1～図2の工程と同様であるから、それらを援用する。先ず、製造方法について説明し、その後に構造について説明する。

【0079】この実施の形態の製造方法は、先ず、実施の形態1の図1(a)～図1(c)の工程と同様の工程

を経る。次に、図1(d)の工程で、CVD膜6を実施の形態1~2の場合よりも厚くデポし、これをパターンニングしてトレンチ7を形成する位置を開口する。次に、図2(a)~図2(d)までの工程は、実施の形態1と同様であるが、ただCVD膜6が厚く形成されていることが異なる。

【0080】次に、図13(a)は、図2(d)の状態から酸化膜10のエッチング除去を行なった後の状態を示す。CVD膜6を厚く形成していたため、酸化膜10が除去された後に、トレンチ開口部の外表面にCVD膜6が残されている。次に、図13(b)に示すように、ゲート酸化膜11(絶縁膜)を形成する。このとき、トレンチ開口部の外表面におけるゲート酸化膜11はCVD膜と合体して膜厚が厚くなる。このとき、トレンチ開口部の外表面におけるゲート酸化膜11の厚みが、トレンチ内表面での厚みより2倍以上厚くなるようにする。この後の工程は、従来と同様の工程、又は実施の形態1の図3(c)以降の工程、あるいは実施の形態2の図7(c)以降の工程などと同様であってよく、限定されるものではない。以上のように、この実施の形態の製造方法の特徴は、図1(d)に示すトレンチエッチング用マスクとして用いるCVD膜6を実施の形態1、2より厚く形成することにある。

【0081】図14は、このようにして形成した半導体装置の構造を示す断面図であり、図14(a)はゲート12の上面がトレンチ7の開口面より落ち込んでいる構造の半導体装置の断面図、図14(b)はそのトレンチ7の長手方向での断面図である。また、図14(c)は、図14(a)に示したトレンチ開口部のコーナー領域Aの拡大図である。さらに、図14(d)は、ゲート12がトレンチ7の開口面より突出している構造の半導体装置の断面図である。

【0082】この実施の形態により製造した半導体装置の特徴は、図14(c)のコーナー領域Aの拡大図に示すように、トレンチ開口部におけるゲート酸化膜11の膜厚 $t_{go \times 1}$ が、トレンチ内壁におけるゲート酸化膜11の膜厚 $t_{go \times 2}$ の2倍以上に形成されていることである。

【0083】その結果、トレンチ開口部コーナーにおける垂直方向、すなわちY方向電界($E_{cor, y}$)は、トレンチ開口部におけるゲート酸化膜11の膜厚 $t_{go \times 1}$ がトレンチ内部の膜厚 $t_{go \times 2}$ と同じ厚みしかない場合より緩和される。従って、トレンチ開口部コーナーにおけるX、Y方向電界の合成成分であるトータルな電界(E_{cor})が、従来より低下する。そのために、トレンチ開口部におけるゲート酸化膜11へかかる電界が緩和され、ゲート酸化膜リーク特性が改善されて歩留り向上の効果が得られる。

【0084】実施の形態5. この発明の実施の形態5による半導体装置の構造と製造方法について説明する。先

ず、製造方法について説明し、その後に構造について説明する。製造方法について、プロセスを示す図としては、実施の形態1で説明した図1(a)~図3(b)を援用する。

【0085】この実施の形態の製造方法は、先ず、図1(a)~図3(a)の工程と同様の工程を経て、図3(a)に示すように半導体基板30にトレンチ7を形成する。次に、この実施の形態の製造方法の特徴は、図3(b)に示すトレンチ内部のゲート酸化膜の形成方法にある。この実施の形態では、図3(b)に示すゲート酸化膜11(絶縁膜)の形成方法として、先ず従来のように熱酸化膜を形成した上に、さらにCVD膜を形成して、2層の積層膜を形成する。また、先ずCVD膜を形成した上に、熱酸化膜を形成して2層の積層膜を形成してもよい。

【0086】また、他の方法として、先ず熱酸化膜を形成し、その上にCVD膜を形成し、さらにその上に熱酸化膜を形成し、3層の積層膜とする。

【0087】このようにゲート酸化膜11を形成することにより、トレンチ内壁におけるゲート酸化膜の膜厚の不均一を緩和させることができる。この方法を用いれば、トレンチ内壁に形成するゲート酸化膜膜厚の均一性が向上し、ゲート酸化膜膜厚が不均一による悪影響が回避できる効果が得られる。なお、シリコンとの界面はチャネルができることもあり、熱酸化膜を形成するようにした方がCVD膜を用いるよりもMOSチャネル部の移動度の低下を招く恐れがなくなる。

【0088】このようにして、ゲート酸化膜を形成した後の工程は、従来の製造工程、又は実施の形態1の図3(c)以降の工程、或いは実施の形態2の図7(c)以降の工程などいずれでもよく、限定されるものではない。

【0089】さて、従来から、トレンチ内壁に形成するゲート酸化膜の膜厚の不均一が発生するのは、以下の理由による。すなわち、トレンチ内壁には数種類の面方位が発生する。よって、従来の熱酸化法によりゲート酸化膜11をトレンチ内壁に形成すると面方位依存性が現れるために、ゲート酸化膜の膜厚の不均一が起きていた。この実施の形態は、熱酸化膜の上にCVD膜を積層することにより、もしくはCVD膜形成後に熱酸化を行ない、ゲート酸化膜の不均一性を緩和しようとするものである。

【0090】また、この実施の形態のゲート酸化膜を形成すれば、従来例の図16(b)の断面図中に示す領域Eのような、LOCOS部23(分離酸化膜)とゲート酸化膜11との境界におけるゲート酸化膜11の薄膜化(くびれ)を防ぐことができる。その結果、領域Eでのゲート酸化膜破壊やゲート酸化膜特性の劣化を防ぐことができる。

【0091】なお、この実施の形態の方法は、トレンチ

ボトムにn層を形成して増速酸化によりゲート酸化膜11の膜厚不均一を除く方法に代えて用いることができる。これらの方法は、ともにゲート酸化膜の膜厚を均一化する効果が得られるものである。

【0092】また、この実施の形態による半導体装置は、以上説明したように、半導体基板30の主面に形成されたトレンチ7を有し、前記トレンチ7の内表面に形成されたゲート酸化膜11などの絶縁膜が、熱酸化膜の上にCVD膜を積層した構造、又はCVD膜の上に熱酸化膜を形成した構造、あるいは熱酸化膜の上にCVD膜を積層しさらに熱酸化膜を積層した構造としている。そして、このトレンチ7の内部にゲート12などの導電膜を形成した構造を有している。

【0093】以上説明したように、この実施の形態によれば、トレンチ内壁に形成するゲート酸化膜11に熱酸化膜+CVD膜の積層膜、CVD膜+熱酸化膜の積層膜、もしくは熱酸化膜+CVD膜+熱酸化膜からなる積層膜を用いることで、トレンチ内壁に形成するゲート酸化膜11の膜厚の均一性を向上させ、ゲート酸化膜の信頼性を向上させることができる。

【0094】実施の形態6. この発明の実施の形態6による半導体装置の製造方法について説明する。製造方法について、プロセスを示す図としては、実施の形態1で説明した図1(a)～図3(c)を援用する。

【0095】この実施の形態の製造方法は、先ず、図1(a)～図3(b)の工程と同様の工程を経て、図3(b)に示すように半導体基板30にトレンチ7を形成し、このトレンチ内面にゲート酸化膜11(絶縁膜)を形成する。次に、この実施の形態の製造方法の特徴は、図3(c)に示すゲート電極材料12(導電膜)の形成方法にある。この実施の形態では、図3(c)に示すように、トレンチ7にゲート電極材料12(例えば、高濃度リンを含むpoly-Si)を埋め込む。そして、このゲート電極材料12に窒素を注入する。この窒素注入量はn⁺エミッタ拡散層5を形成する注入量の0.1～2倍とする。

【0096】この後の工程は、実施の形態1の図1(d)に示すように、ゲート電極材料12のエッチングを行なう。あるいは、実施の形態2の図8(a)に示すように、ゲート電極材料12のエッチングを行なってもよい。このように、この後の工程については、限定されるものではない。

【0097】この実施の形態では、以上のようにゲート電極材料12へ窒素を注入しアニールすることで、ゲート酸化膜11中にアニールにより拡散した窒素が析出し、ゲート酸化膜11と基板30との界面に、もしくはゲート酸化膜11とゲート電極材料12との界面に、窒素リッチのゲート酸化膜11が形成される。その結果、ゲート酸化膜11が形成された後にアニールでゲート酸化膜11へ拡散するドーパントとなるn⁺エミッタ層

5、pベース層4からの不純物のゲート酸化膜11への拡散が抑制され、ゲート酸化膜の特性の低下を低減する効果がある。

【0098】さらに、窒素注入による窒化により、窒素がゲート酸化膜11と基板30の界面に存在するダングリングボンドや不完全な結晶を占有することにより界面準位の発生を低減させる。また、酸化膜中の電子トラップとして作用するSi-H、Si-PH結合が、Si-N結合となる結果、ゲート酸化膜中の電子トラップを低減することができる。その結果、トレンチMOSゲート構造のトランジスタのホットキャリア耐性を向上させる効果がある。

【0099】この方法は、ゲート酸化膜11が熱酸化膜の場合でもよいし、実施の形態3に示したように、ゲート酸化膜として熱酸化膜の上にCVD膜を重ねて形成する場合、又は、CVD膜形成後に熱酸化膜を形成する場合、あるいは、熱酸化膜の上にCVD膜を形成し、さらにその上に熱酸化膜を形成する場合に適用しても同様な効果が得られる。また、ゲート構造としてトレンチMOSゲート構造のみならず図20に示すプレーナーMOSゲート構造のパワーデバイスに適用しても同様な効果が得られる。

【0100】この実施の形態によれば、以上説明したように、ゲートに窒素が注入されたトレンチ構造を有する半導体装置が得られる。

【0101】以上説明したように、この実施の形態の製造方法によれば、窒素をゲート電極材料に注入してシリコン/ゲート酸化膜界面の窒化を行い、ゲート酸化膜への不純物拡散の抑制やゲート酸化膜中のトラップを低減させることができる。これにより、トレンチ内壁に形成したゲート酸化膜の信頼性向上を図ることができる。

【0102】実施の形態7. 図15はこの発明の実施の形態7による半導体装置を説明するための図である。図15(a)は、実施の形態2のトレンチMOSゲート構造を適用したトレンチMOSFETの構造を示す図である。

【0103】また、図15(b)は、実施の形態2のトレンチMOSゲート構造を適用したIGBTの構造例であり、コレクタ構造がp⁺型拡散層3のみでなく、p⁺型領域3aを形成し、p⁺/p⁻コレクタ構造を有している。

【0104】また、図15(c)は、実施の形態2のトレンチMOSゲート構造を適用したIGBTの他の構造例であり、コレクタ構造がp⁺型拡散層3のみでなく、n⁺型領域3bを形成し、p⁺/n⁺コレクタ構造を有している。その他の符号はすでに説明したものと同様であるから、詳細な説明は省略する。

【0105】以上のように、実施の形態1～6で説明したトレンチMOSゲート構造は、トレンチMOSゲート構造を有するパワーデバイスなど、いろいろな半導体装

置に適用できるものであり、それぞれ実施の形態 1～6 で説明した効果を奏するものである。

【0106】

【発明の効果】以上説明したように、この発明によれば、トレンチ構造を有する半導体装置及びその製造方法において、トレンチの内表面から外表面にまで延在する絶縁膜を形成し、トレンチの内部から突出し外表面にまで延在する導電膜を備えたので、絶縁膜（ゲート酸化膜）に流れる電流がトレンチ開孔部に集中するのを緩和できる。それにより、絶縁膜（ゲート酸化膜）の信頼性を向上させる効果がある。

【0107】また、この発明によれば、トレンチ構造を有する半導体装置及びその製造方法において、トレンチの開口部から外表面の部分で絶縁膜（ゲート酸化膜）を厚く形成し、導電膜（ゲート）をトレンチの開口部分で絞り込む形状にしたので、トレンチ開孔部における Si / SiO₂ 界面の凸状形状がなくなり、絶縁膜（ゲート酸化膜）のリーク特性が改善される。

【0108】また、この発明によれば、トレンチ構造を有する半導体装置及びその製造方法において、隣り合うトレンチの間で絶縁膜と導電膜とをそれぞれ連続して形成したので、絶縁膜（ゲート酸化膜）に流れる電流がトレンチ開孔部に集中するのを緩和できる。それにより、絶縁膜（ゲート酸化膜）の信頼性を向上させる効果がある。

【0109】また、この発明によれば、トレンチ構造を有する半導体装置及びその製造方法において、絶縁膜を挟む全キャパシタ面積のうち、半導体基板の主面に沿った外表面の絶縁膜部分を挟むキャパシタ面積が 5% 以上となるように形成したので、絶縁膜（ゲート酸化膜）に流れる電流がトレンチ開孔部に集中するのを緩和できる。それにより、絶縁膜（ゲート酸化膜）の信頼性を向上させる効果がある。

【0110】また、この発明によれば、トレンチ構造を有する半導体装置及びその製造方法において、絶縁膜の全ゲートエッジ長のうち、トレンチ外表面の絶縁膜部分のゲートエッジ長が 30% 以上となるように形成したので、絶縁膜（ゲート酸化膜）に流れる電流がトレンチ開孔部に集中するのを緩和できる。それにより、絶縁膜（ゲート酸化膜）の信頼性を向上させる効果がある。

【0111】また、この発明によれば、トレンチ構造を有する半導体装置及びその製造方法において、絶縁膜の外表面での厚みが内表面での厚みより 2 倍以上厚く形成したので、トレンチ開孔部における絶縁膜（ゲート酸化膜）へかかる電界が緩和され、絶縁膜（ゲート酸化膜）のリーク特性が改善されて歩留り向上の効果が得られる。

【0112】また、この発明によれば、トレンチ構造を有する半導体装置及びその製造方法において、トレンチの絶縁膜として、熱酸化膜の上に CVD 膜を積層した 2

層構造、又は CVD 膜の形成後に熱酸化を行なった 2 層構造、もしくは、熱酸化膜の上に CVD 膜を積層しさらに熱酸化膜を積層した 3 層構造としたので、トレンチ内壁に形成する絶縁膜（ゲート酸化膜）の膜厚の均一性を向上させ、絶縁膜（ゲート酸化膜）の信頼性を向上させることができる。

【0113】また、この発明によれば、トレンチ構造を有する半導体装置及びその製造方法において、トレンチの内部の導電膜に窒素を注入したので、基板側からの絶縁膜（ゲート酸化膜）への不純物拡散が抑制され、絶縁膜（ゲート酸化膜）の特性の低下を低減する効果がある。また、これによりトレンチ MOS トランジスタの特性を向上させる効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による、トレンチ構造を有する半導体装置の製造工程を示す断面図。

【図 2】 この発明の実施の形態 1 による、トレンチ構造を有する半導体装置の製造工程を示す断面図。

【図 3】 この発明の実施の形態 1 による、トレンチ構造を有する半導体装置の製造工程を示す断面図。

【図 4】 この発明の実施の形態 1 による、トレンチ構造を有する半導体装置の製造工程を示す断面図。

【図 5】 この発明の実施の形態 1 による、トレンチ構造を有する半導体装置の製造工程を示す断面図。

【図 6】 この発明の実施の形態 1 による、トレンチ構造を有する半導体装置の製造工程を示す断面図。

【図 7】 この発明の実施の形態 2 による、トレンチ構造を有する半導体装置の製造工程を示す断面図。

【図 8】 この発明の実施の形態 2 による、トレンチ構造を有する半導体装置の製造工程を示す断面図。

【図 9】 この発明の実施の形態 2 による、トレンチ構造を有する半導体装置の製造工程を示す断面図。

【図 10】 この発明の実施の形態 3 による、トレンチ構造を有する半導体装置の製造工程を示す断面図。

【図 11】 この発明の実施の形態 3 による、トレンチ構造を有する半導体装置の作用を説明するための図。

【図 12】 この発明の実施の形態 3 による、トレンチ構造を有する半導体装置の作用を説明するための図。

【図 13】 この発明の実施の形態 4 による、トレンチ構造を有する半導体装置の製造工程を示す断面図。

【図 14】 この発明の実施の形態 4 による、トレンチ構造を有する半導体装置の構造を示す断面図。

【図 15】 この発明の実施の形態 7 による、トレンチ構造を有する半導体装置の構造を示す断面図。

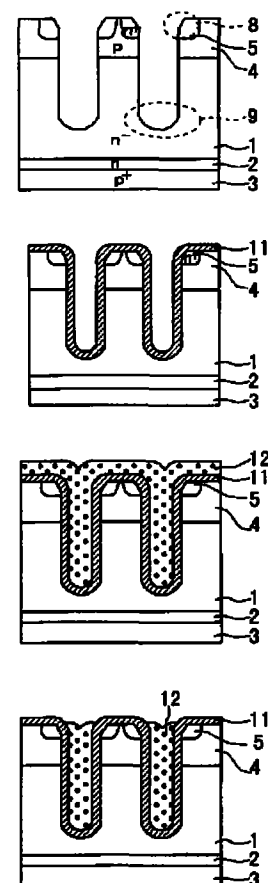
【図 16】 従来のトレンチ MOS ゲート構造の半導体装置を示す断面図。

【図 17】 従来のプレーナー MOS ゲート構造の半導体装置を示す断面図。

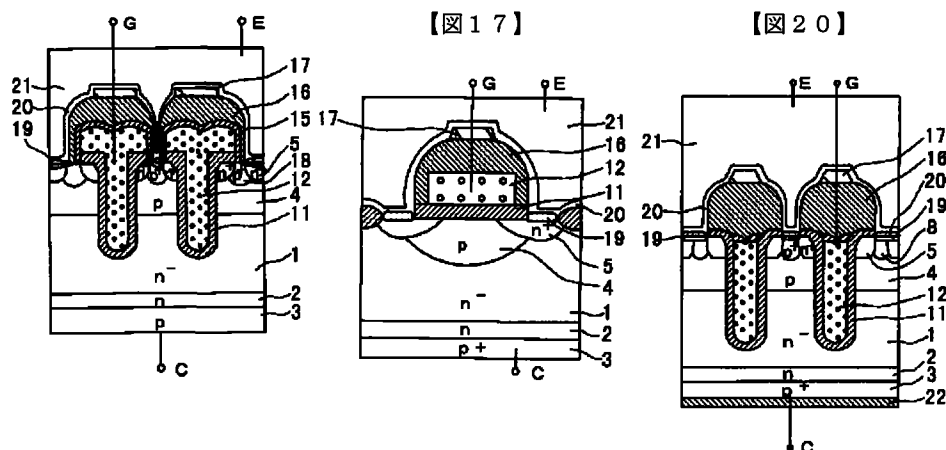
【図 18】 従来のトレンチ MOS ゲート構造の製造工程を示す断面図。

膜、 11 シリコン酸化膜、ゲート酸化膜、ゲート絶縁膜、(絶縁膜、第1の絶縁膜)、 12 ゲート電極材料(導電膜、第1の導電膜)、ゲート(導電部、第1の導電部)、 13 CVD膜、第2のゲート絶縁膜(第2の絶縁膜)、 14 ゲート電極材料(導電膜)、ゲート(第2の導電部)、 15 シリコン酸化膜、 16、 17 層間膜、 18 p⁺領域、 19 シリサイド層、 20 バリアメタル、 21 アルミ、 30 半導体基板。

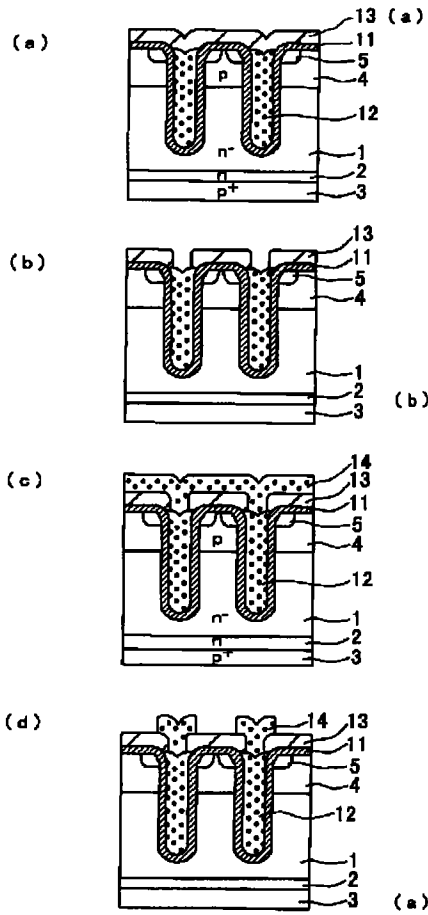
【図 3】



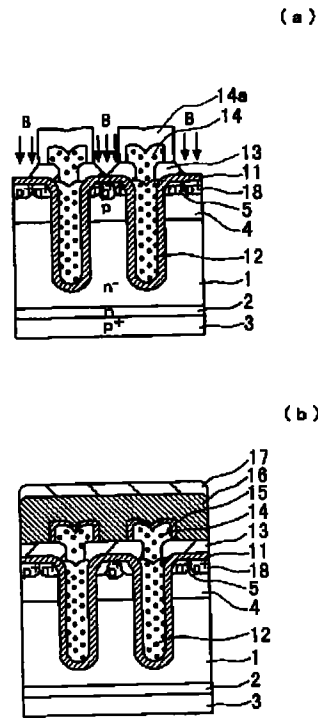
【図 20】



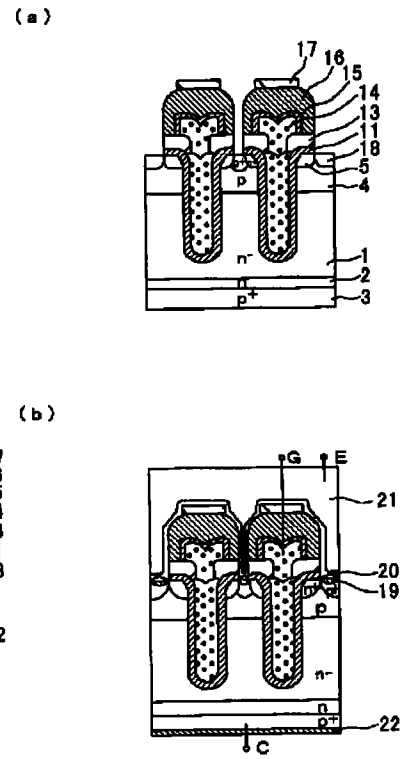
【図4】



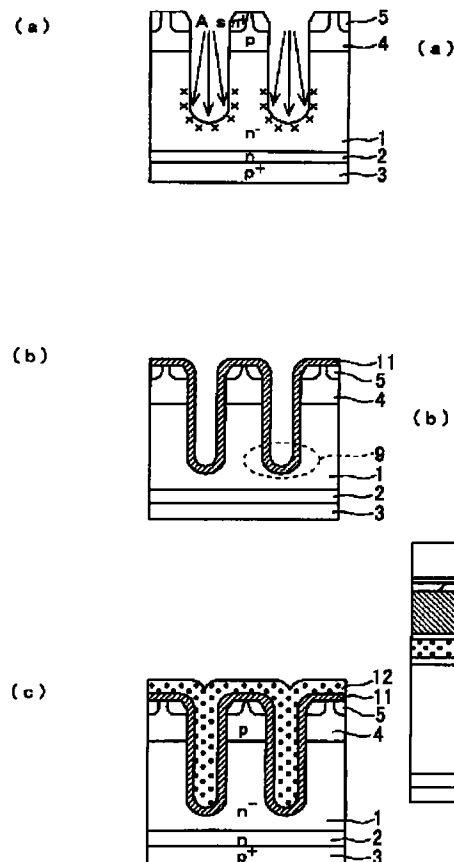
【図5】



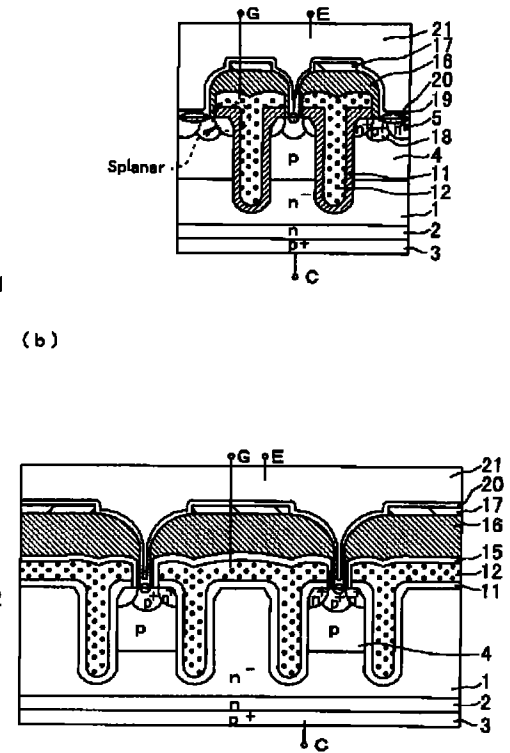
【図6】



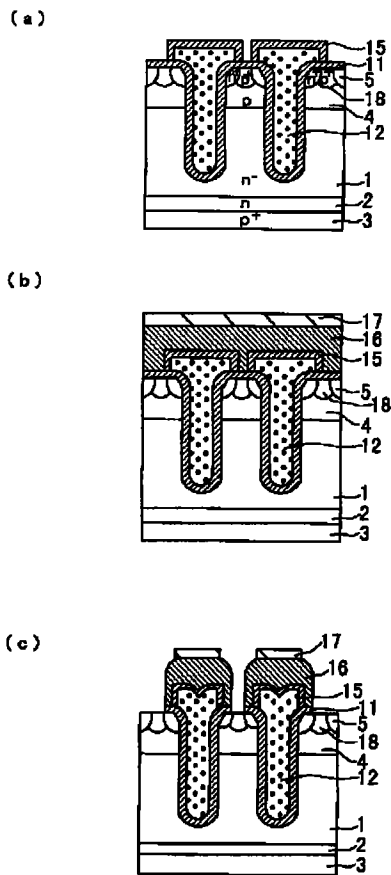
【図7】



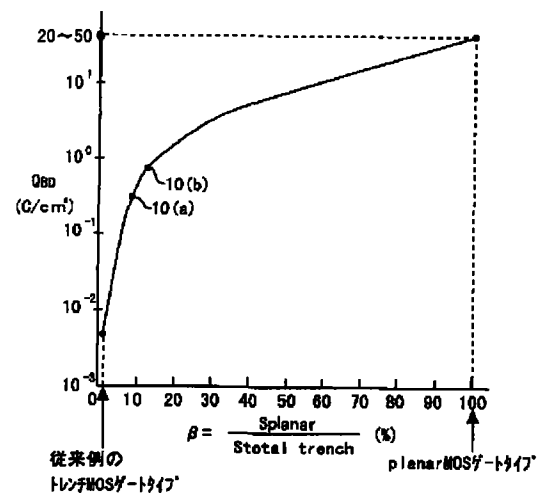
【図10】



【図8】

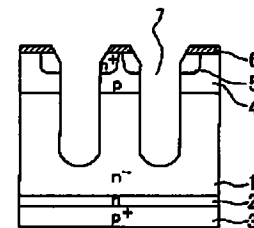


【図11】

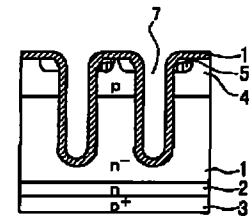


【図13】

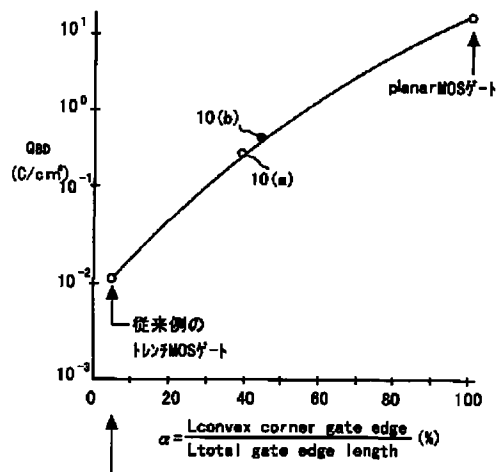
(a)



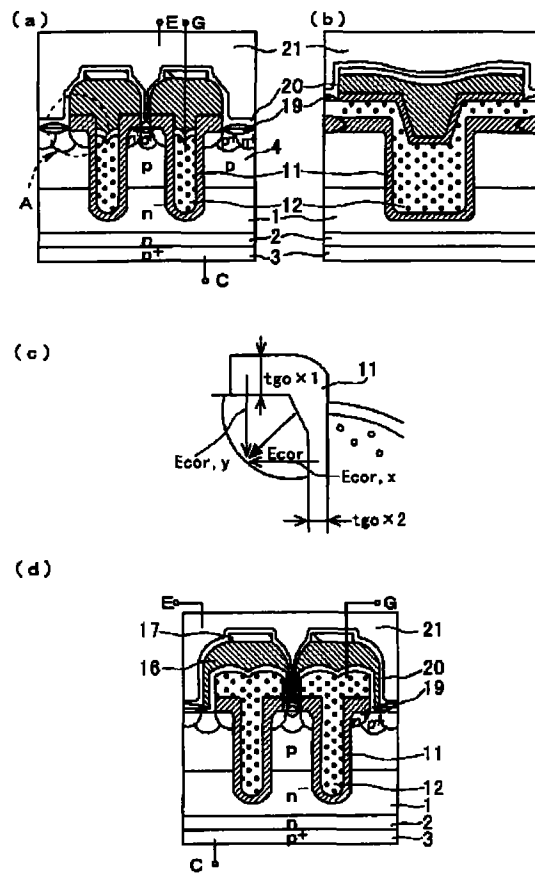
(b)



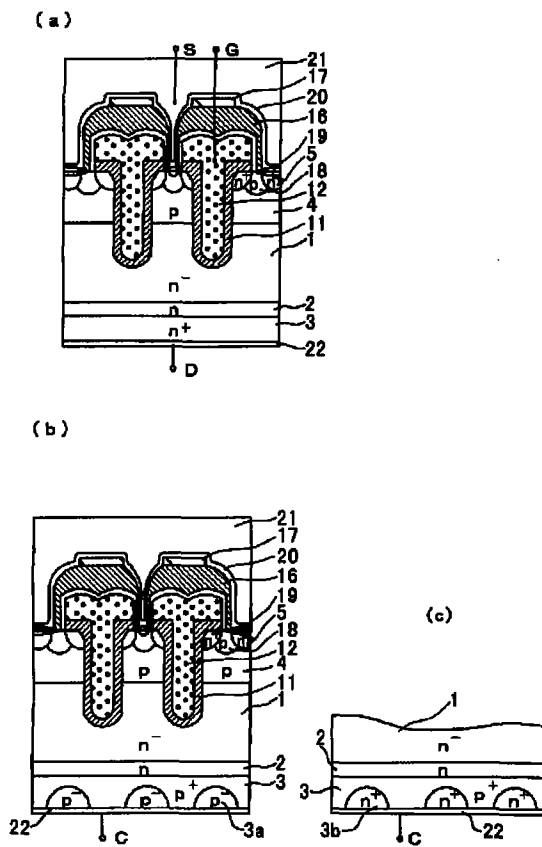
【図12】



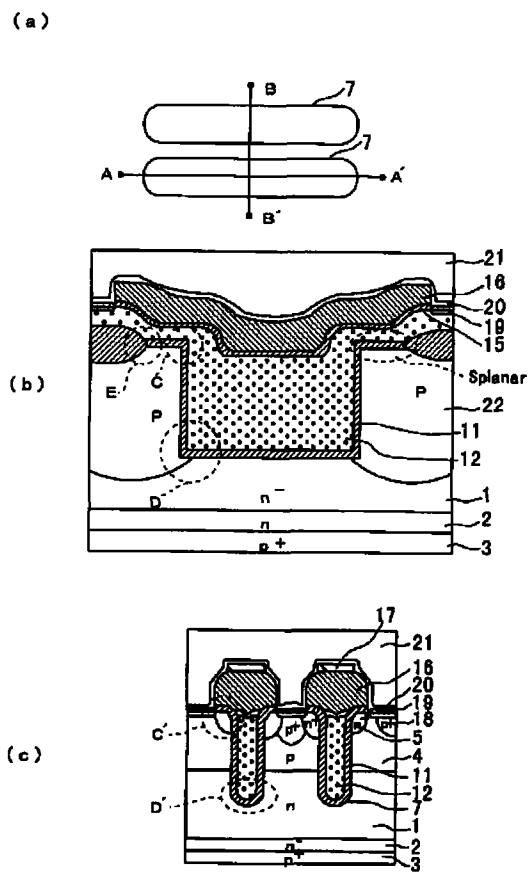
【図 1 4】



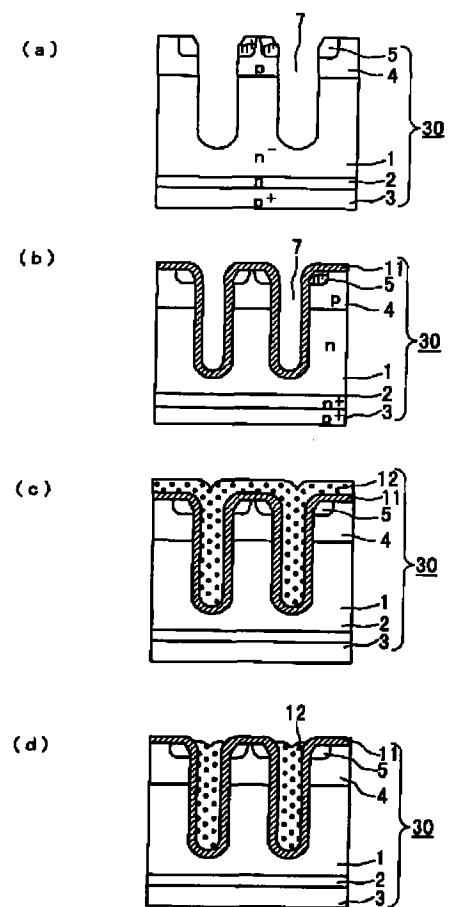
【図 1 5】



【図 16】



【図 18】



【図19】

